

# Microprocessadores

## Família “x86” - Evolução

António M. Gonçalves Pinheiro

Departamento de Física  
Universidade da Beira Interior  
Covilhã - Portugal

pinheiro@ubi.pt

## “Evolução da Família X86”

<b>i8086</b>	16 bits de dados 20 bits de endereços Clock $\in$ [4,8] MHz	1MByte
<b>i80286</b>	24 bits de endereço Protected Mode Clock $\in$ [8,16] MHz	16MBytes no IA
<b>i386</b>	32 bits de dados - Extended Register 32 bits de endereço Paging Code Catch Barrel Shifter Clock $\in$ [16,40] MHz	EAX, EBX, ECX, EDX, EBP, EDI, ESI, ESP 4GBytes
<b>i486</b>	pipeline de 5 estágios 8 KByte de Cache L1 FPU no integrado	
<b>Pentium</b>	2 pipelines de execução Branch Prediction 8 KByte de Code Cache L1 8 KByte de Data Cache L1 ~ 256 KByte de Cache L2	superescalar (U e V)



## “Evolução da Família X86”

<b>Pentium Pro</b>	<b>36 bits de endereço</b> <b>Dynamic Execution</b> <b>Three way Superscalar Architecture</b> <b>5 unidades de execução paralela</b> - 2 ALU inteiras - 2 FPU - 1 Memory Interface Unit <b>3 decodificadores de Instrução</b> <b>8 KByte de Cache L1</b> <b>~ 256 KByte de Cache L2</b>	64GBytes        micro ops
<b>Pentium II</b>	<b>Instruções MMX</b> <b>16 KByte de Code Cache L1</b> <b>16 KByte de Data Cache L1</b> <b>256/512 KByte/ 1/2 MByte de Cache L2</b>	Ponto Flutuante
<b>Pentium III</b>	<b>+ 70 Instruções</b> <b>Tecnologia SSE</b>	



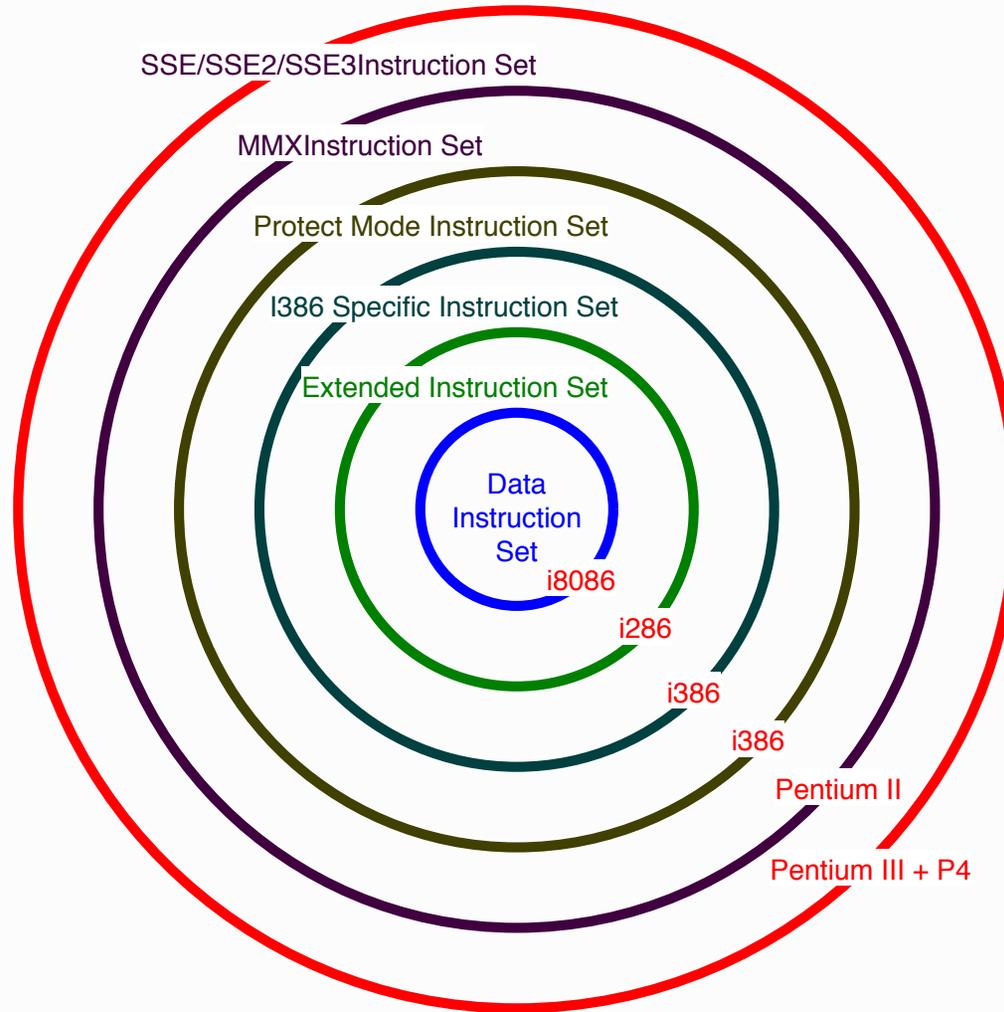
## “Evolução da Família X86”

<b>Pentium 4</b>	<p>Pipeline longa (20/21/31 Estágios)                  12 KByte de Instruction Cache L1                  8/16 KByte de Data Cache L1                  256/512 KByte/ 1 MByte de Cache L2                  2 MByte de Cache L3                  Tecnologia SSE2 (+ MMX/SSE) e depois SSE3                  Hipertreading                  Processador Duplo (2 núcleos)</p>	<p>Frequências elevadas</p> <p>P4 Extreme Edition (Gallatin) 3.46GHz                  Ponto Flutuante de 64 bits                  Simulação de multiprocessadores a partir do modelo Pentium D</p>
<b>Pentium Core</b>	<p>Microarquitetura Intel Core                  Execução Dinâmica</p> <ul style="list-style-type: none"> <li>- cada Core pode executar 4 Instruções Simultâneas</li> <li>- Numa pipeline de 14 estágios                         <ul style="list-style-type: none"> <li>• Melhoria na Predição de Saltos</li> <li>• Buffer de Instr. mais longo</li> </ul> </li> </ul> <p>FPU executa operações de 128 bits por T de relógio                  Cache</p> <ul style="list-style-type: none"> <li>- Cache L2 de 2 ou 4 MByte</li> <li>- Dimensão adaptativa para cada core</li> <li>- Core que necessita mais recursos tem mais cache</li> </ul> <p>Barramento de 667 MHz/ 1066MHz                  Dados de 64 bits</p>	<p>DUO / 2 DUO / QUAD</p> <p>mais flexível</p> <p>(não é fixa por core)                  (Atribuída dinamicamente)</p>



# “Evolução da Família X86”

## Linguagem de Programação



## “Evolução da Família X86”

---

### Linguagem de Programação

---

<b>Extended Instruction Set Specific Instruction Set</b>	<b>Novas Instruções</b> <b>Instruções do 386 específicas</b> <b>- Instruções de 32 bits</b>
<b>Protected Mode</b>	<b>Gestão de Memória</b> <b>Endereçamento Virtual</b> <b>Paginação</b> <b>Protecção de Memória</b> <b>Multi-tarefa</b>
<b>MMX Instructions</b>	<b>Ponto Flutuante de alto desempenho</b>

---

## “Evolução da Família X86”

### Pipeline do i486



FT - Fetch

Instr. são lidas na cache ou na memória

Instr. são colocadas nos 2 buffers de prefetch de 16 bytes

Instr. variam de 1 a 11 bytes, sem contar com prefixos

Em média a cerca de 5 Instr. em cada um dos 2 buffers

A operação deste buffer é independente dos outros estágios

D1 - Decode Stage 1

Descodifica os opcodes e informação de endereço

D2 - Decode Stage 2

Expande a descodificação em sinais de controlo

- operam as unidades do sistemas como a ALU

- calcula endereços mais complexos

EX - EXecute

Inclui operações da ALU, Acesso a Cache, Update de Registos

WB - Write Back

Escrita de memória, de flags e registos (se necessário)

## “Evolução da Família X86”

### Pipeline Pentium III / Pentium 4

Basic Pentium® III Processor Misprediction Pipeline									
1	2	3	4	5	6	7	8	9	10
Fetch	Fetch	Decode	Decode	Decode	Rename	ROB Rd	Rdy/Sch	Dispatch	Exec

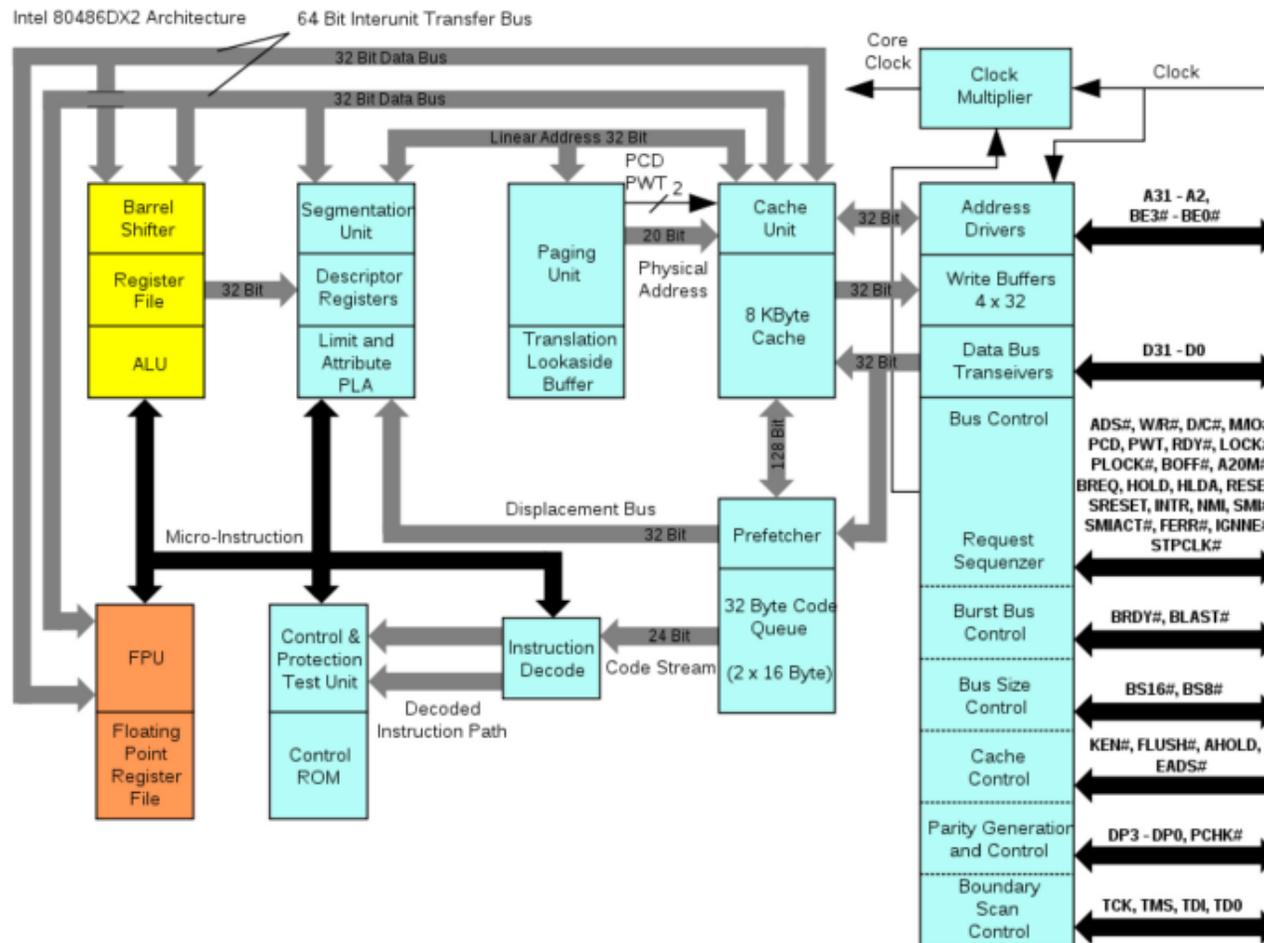
  

Basic Pentium® 4 Processor Misprediction Pipeline																			
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC Nxt IP	TC Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive			



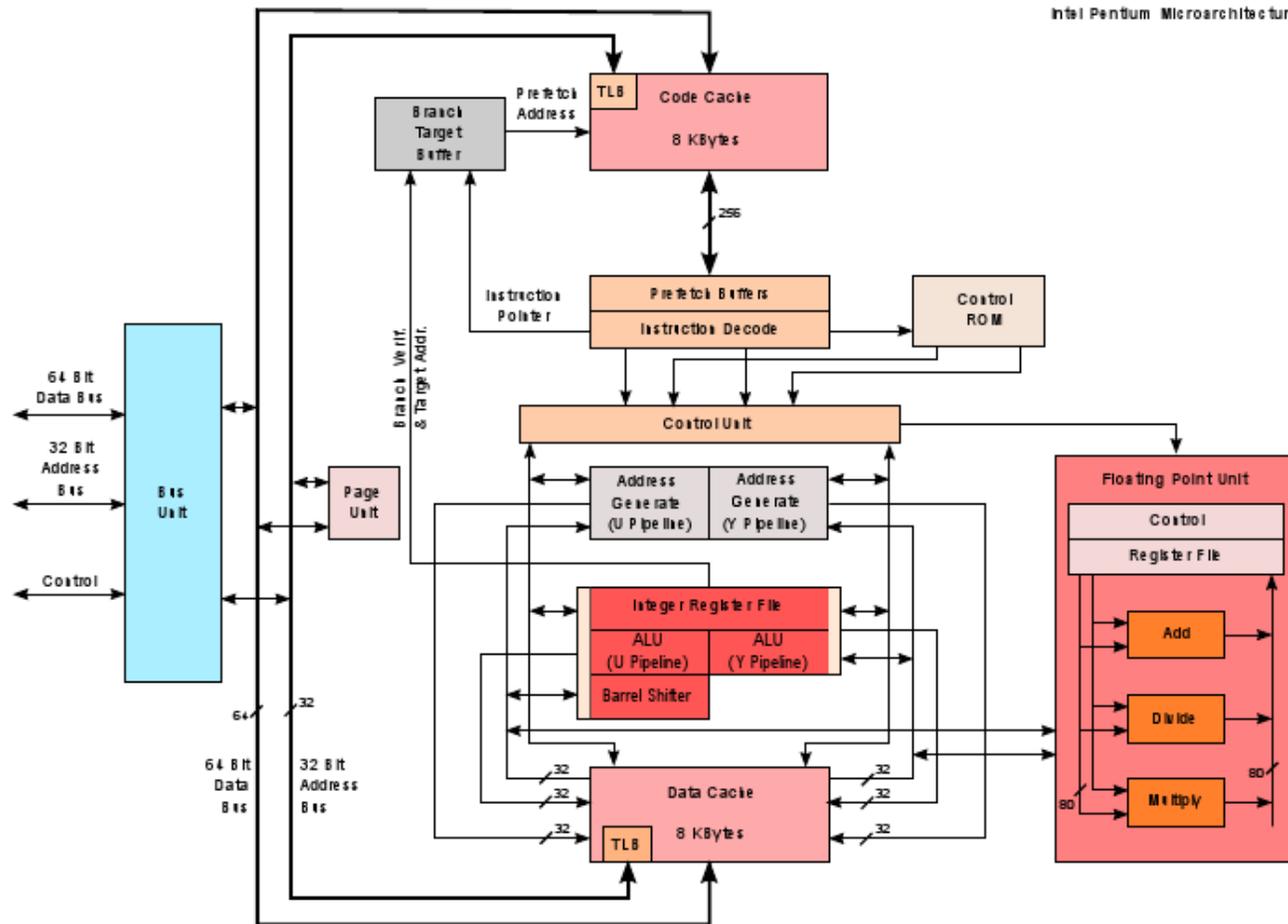
## “Evolução da Família X86”

### Diagrama de Blocos do i486



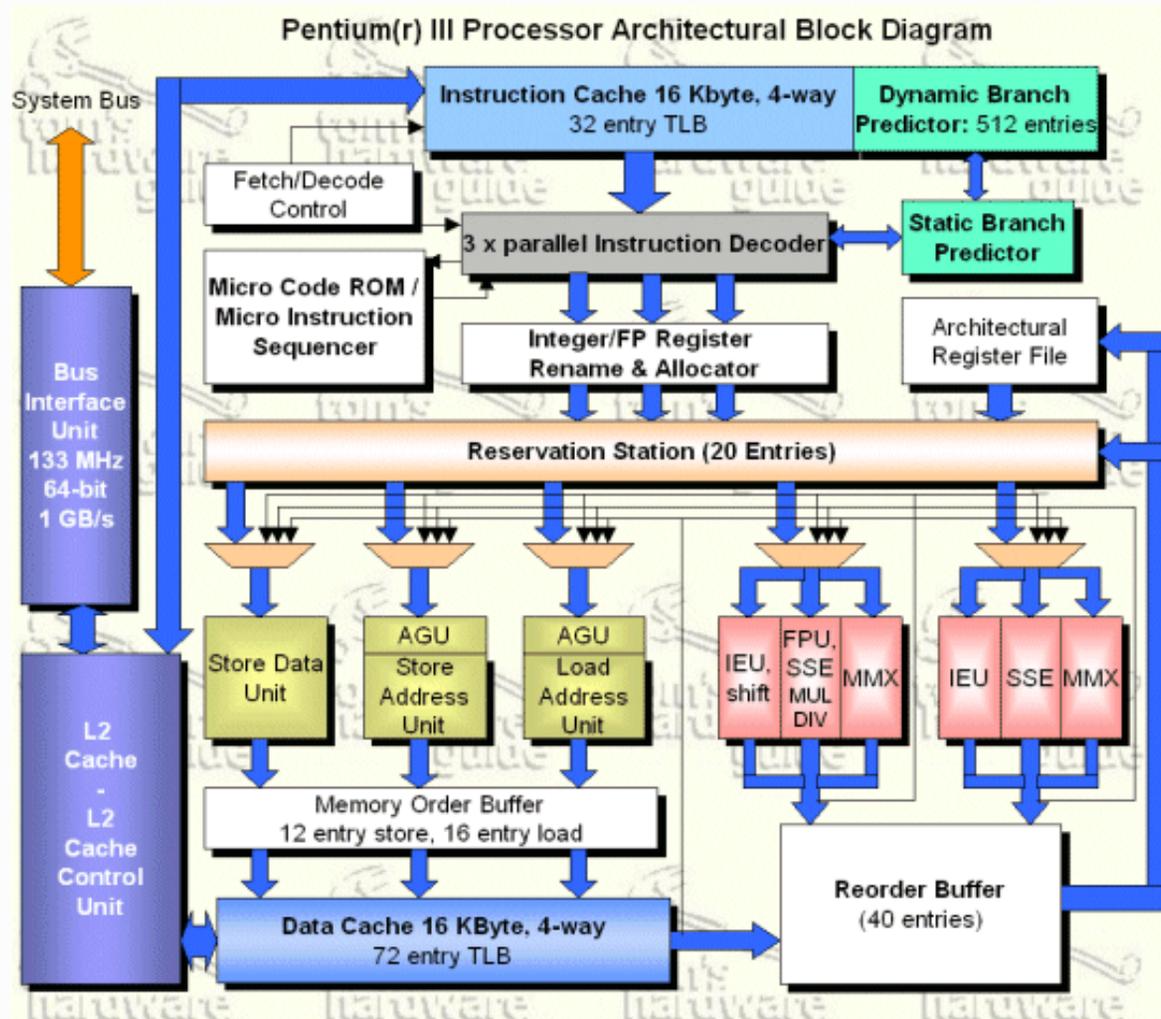
# “Evolução da Família X86”

## Diagrama de Blocos do Pentium



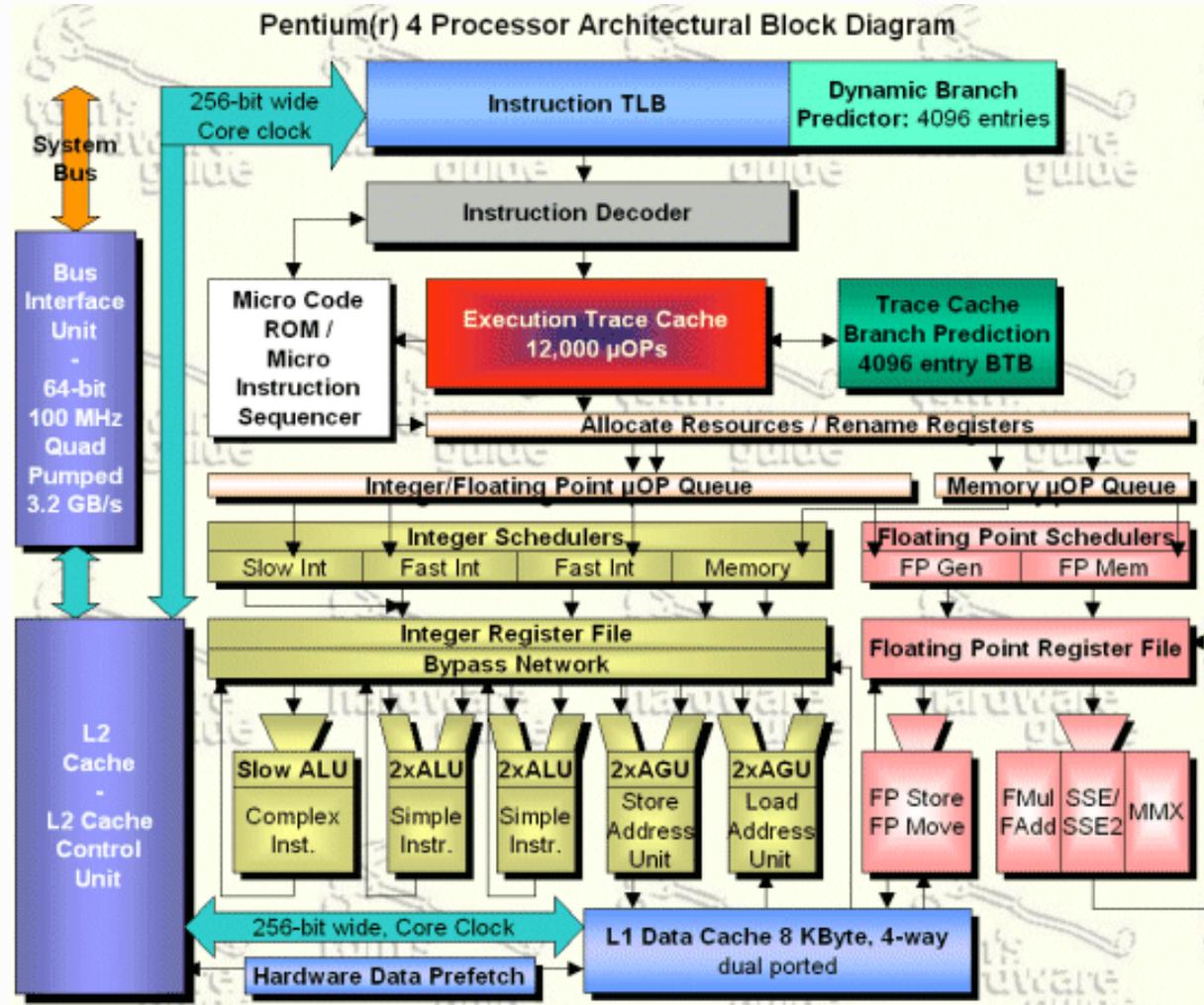
## “Evolução da Família X86”

### Diagrama de Blocos do Pentium III



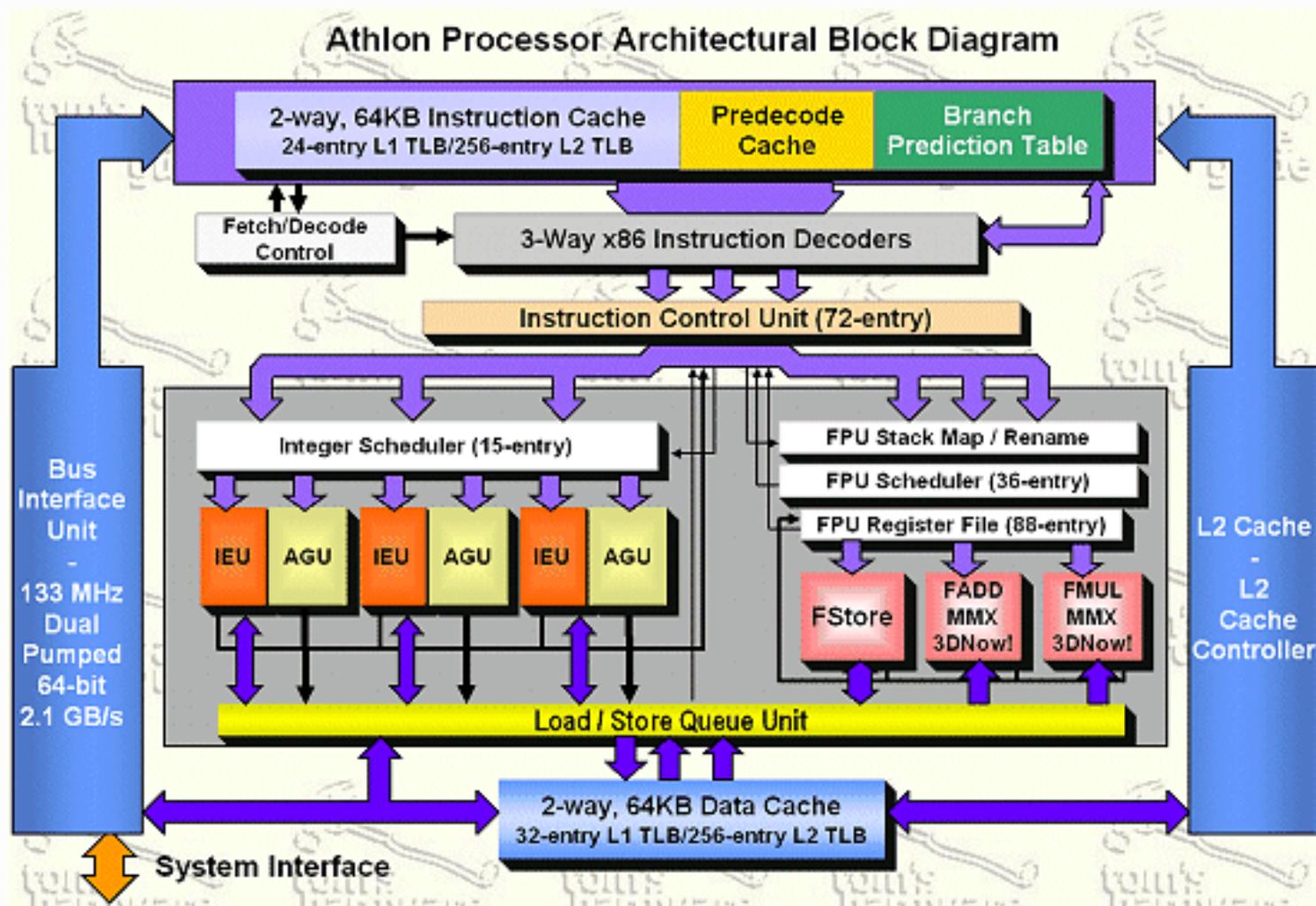
## “Evolução da Família X86”

### Diagrama de Blocos do Pentium 4



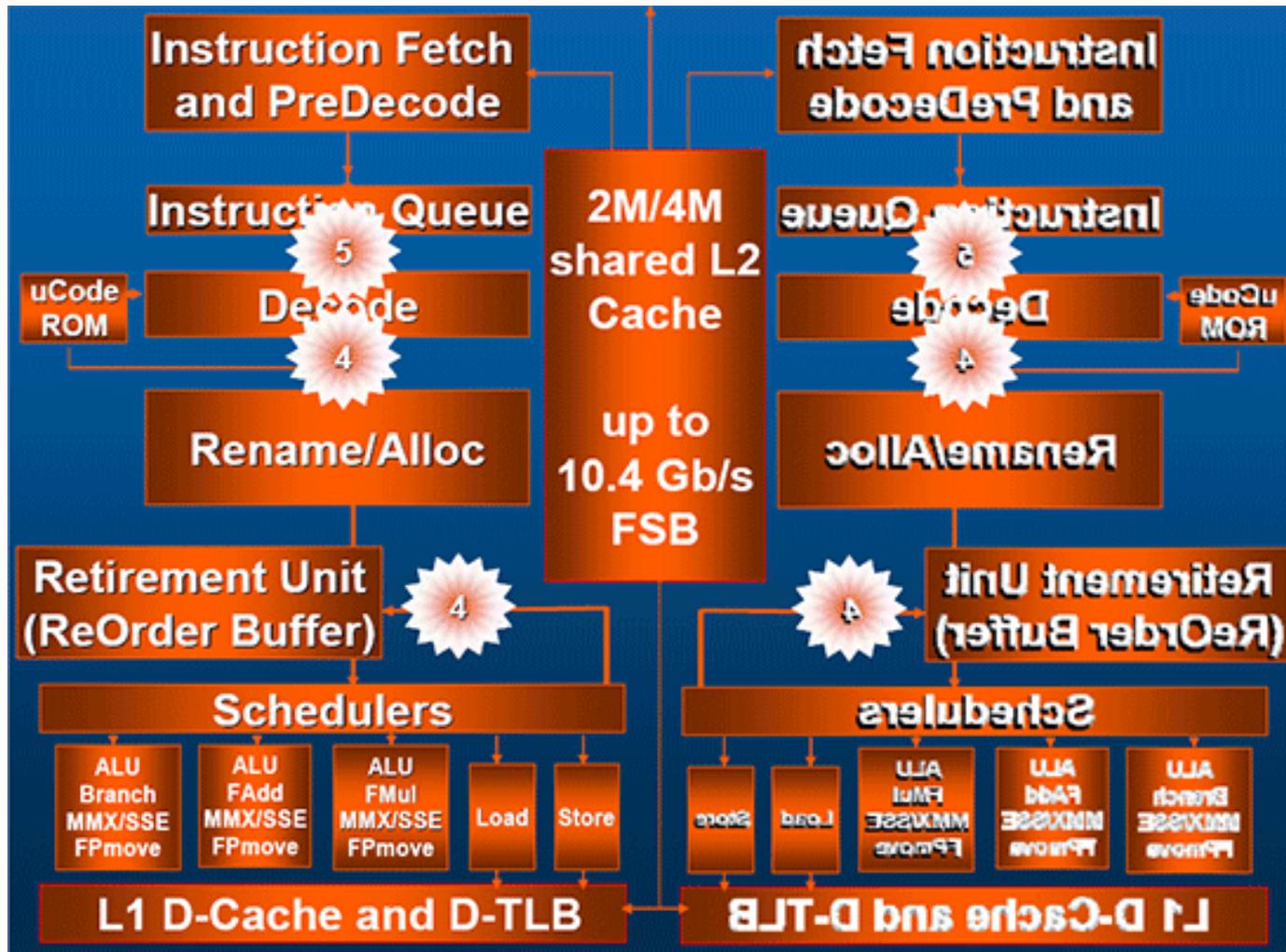
## “Evolução da Família X86”

### Diagrama de Blocos do Athlon



## “Evolução da Família X86”

### Diagrama do Core QUAD



## “Evolução da Família X86”

### Diagrama do Core QUAD

